

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PAT-NO: JP362076545A
DOCUMENT-IDENTIFIER: JP 62076545 A
TITLE: DRIVE CIRCUIT SUBSTRATE FOR DISPLAY DEVICE
PUBN-DATE: April 8, 1987

INVENTOR-INFORMATION:

NAME

IKEDA, MITSUSHI

AOKI, TOSHIO

DOJIRO, MASAYUKI

ASSIGNEE-INFORMATION:

NAME

TOSHIBA CORP

COUNTRY

N/A

APPL-NO: JP60214570

APPL-DATE: September 30, 1985

INT-CL (IPC): H01L027/12, G02F001/133 , G09F009/35 , H01L029/78

US-CL-CURRENT: 257/59, 257/E27.111

ABSTRACT:

PURPOSE: To surely prevent the short circuit among multilayer wirings, improve a reliability and obtain an excellent display image by constructing interlayer insulative films into a two-layer insulative film structure.

CONSTITUTION: A Ta film is coated on an insulation substrate by a sputtering and an address bus 2 is formed by pattern-forming the Ta film. A gate electrode 3 is formed in a configuration projected from the address bus 2. Then, a photoresist pattern is formed and the exposed surface of the Ta film is anodized at a voltage 100V to selectively form anodic oxide films 4,

4<SB>1</SB> and 4<SB>2</SB> on the gate electrode 3 and the portion of the address buss 2 wherein data buses cross one another thereafter. Then, an SiO<SB>2</SB> film 5 is heaped up over the whole surface and subsequently an undoped amorphous Si film 6 and n<SP>+</SP> type α -Si film 6 are heaped up thereover as semiconductor thin films, succeeded by a pattern-forming being so conducted as to leave the semiconductor thin films in an island configuration. Thereafter, an ITO film is coated by a sputtering, to which a pattern-forming is applied to form a pixel electrode 8.

COPYRIGHT: (C)1987,JPO&Japio

⑫ 公開特許公報(A)

昭62-76545

⑤ Int. Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和62年(1987)4月8日

H 01 L 27/12
G 02 F 1/133
G 09 F 9/35
H 01 L 29/78

3 2 7
3 0 1

7514-5F
8205-2H
6810-5C
8422-5F

審査請求 有 発明の数 1 (全5頁)

⑬ 発明の名称 表示装置用駆動回路基板

⑭ 特 願 昭60-214570

⑮ 出 願 昭60(1985)9月30日

⑯ 発 明 者 池 田 光 志 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
⑯ 発 明 者 青 木 寿 男 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
⑯ 発 明 者 堂 城 政 幸 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
⑰ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地
⑱ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

表示装置用駆動回路基板

2. 特許請求の範囲

(1) 絶縁性基板と、この基板上に形成された複数本のアドレス線と、このアドレス線が形成された基板上にアドレス線と交差する方向に形成された複数本のデータ線と、これらアドレス線とデータ線の各交差位置に形成された複数の薄膜トランジスタと、これらの薄膜トランジスタを介して選択的に前記データ線に接続されて表示素子に駆動電圧を印加する複数の画素電極とを有し、前記薄膜トランジスタのゲート電極およびソース電極がそれぞれ前記アドレス線およびデータ線と一体形成され、ドレイン電極が前記画素電極に接続されて構成される表示装置用駆動回路基板において、前記アドレス線のうち前記データ線と交差する部分および前記ゲート電極の表面に前記アドレス線およびゲート電極を構成する金属の陽極酸化膜を設けたことを特徴とする表示装置用駆動回路基板。

(2) 前記半導体薄膜はアモルファスSi膜である特許請求の範囲第1項記載の表示装置用駆動回路基板。

(3) 前記アドレス線の陽極酸化膜が形成されていない部分にコンタクトしてアドレス線の抵抗を低減するための金属配線が形成されている特許請求の範囲第1項記載の表示装置用駆動回路基板。

3. 発明の詳細な説明

(発明の技術分野)

本発明は、薄膜トランジスタアレイにより駆動される液晶等の表示装置の駆動回路基板に関する。

(発明の技術的背景とその問題点)

近年、アモルファスのSiや多結晶のCdS、CdSeなどの半導体薄膜を用いた薄膜トランジスタをスイッチング素子としたアクティブ・マトリクス型の表示装置が注目されている。薄膜トランジスタアレイは、ガラス基板等を用いて低温プロセスで形成することができるため、安価に大面積の表示装置を実現できるという利点を有する。

第5図はこの様なアクティブ・マトリクス型の

表示装置の等価回路を示す。図において、
 $A(A_{11}, A_{12}, \dots)$ はアドレス線、
 $D(D_{11}, D_{12}, \dots)$ は画像信号が供給されるデータ線であり、これらアドレス線 A とデータ線 D の各交差位置に画素に対応して薄膜トランジスタ $T(T_{11}, T_{12}, \dots)$ が形成される。薄膜トランジスタ T のゲート電極はアドレス線 A に、ソース電極はデータ線 D に、ドレイン電極は表示素子 $S(S_{11}, S_{12}, \dots)$ の画素電極にそれぞれ接続されている。表示素子 S としては、液晶素子、エレクトロルミネセンス (EL) 素子、エレクトロクロミック素子等が用いられる。表示素子 S として液晶素子を用いる場合通常、図示のように駆動電圧を保持するためのキャパシタ $C(C_{11}, C_{12}, \dots)$ が設けられる。アドレス線 A 、データ線 D 、薄膜トランジスタ T 、キャパシタ C および表示素子 S の画素電極は絶縁性基板上に集積形成されて駆動回路基板構成する。そしてこの駆動回路基板と対向電極が形成された透明基板の間に液晶層を挟持することにより、アクテ

ィブ・マトリクス型液晶表示装置が得られる。なお、薄膜トランジスタ T のオフ抵抗および表示素子の抵抗が十分に高い場合には、キャパシタ C を必要としない。

この種の表示装置を高精細あるいは大面積に実現する場合には、用いる薄膜トランジスタの数が非常に多くなる。例えば、アドレス $400 \times$ データ 400 の場合、素子数は 160000 となる。このような多数の薄膜トランジスタアレイを完全に製作することは困難であり、種々の欠陥が発生する。その原因としては、(1) 多層配線間あるいはキャパシタの電気的短絡、(2) 配線の解放、(3) 薄膜トランジスタの欠陥、等がある。表示装置として点欠陥を許容した場合、配線の解放は容易に救済することができる。例えばアドレス線が途中の一点で断線した場合には、アドレス線の両方から信号を供給するようにすることにより、救済できる。またキャパシタは、薄膜トランジスタのオフ抵抗を十分に大きくし液晶の抵抗率を上げれば設ける必要がないため、この部分で致命的

な欠陥とならない。しかし、配線の短絡事故は致命的な大きい欠陥となる。たとえばアドレス線とデータ線が短絡すると、これらの配線に沿って線欠陥となる。しかもこの短絡は簡単には補修により救済することができない。

このような多層配線間の短絡を防止する方法として、アドレス線兼ゲート電極を例えば Ta 膜により形成してその表面に陽極酸化膜を形成し、更にその上に SiO_2 膜または Si_3N_4 膜を堆積するという、ゲート絶縁膜を2層構造とすることが提案されている(特公昭60-54478号公報)。しかしこの方法では、 Ta 膜の陽極酸化によりアドレス線の抵抗が大きくなってしまふ。例えば、 220×240 画素で $44mm \times 60mm$ の画面をつくる薄膜トランジスタアレイを考える。 1500\AA の Ta 膜で配線抵抗約 $60k\Omega$ のアドレス線を表面から約 700\AA 酸化すると、配線抵抗は約 $110k\Omega$ になる。このように配線抵抗が大きくなると、アドレスパルスの遅延による波形歪みが大きくなる。この結果アドレス線の信号入

力端部と終端部での画素への電込みに差が生じ画質の均一性が大きく損われることになる。 Ta 膜の膜厚を大きくすれば配線抵抗を小さくすることができるが、余り厚くすると膜の剥がれやデータ線の断線の原因となる。

また、 Ta 膜によるアドレス線およびゲート電極を形成し、その上に SiO_2 膜を堆積した後、 SiO_2 膜のピンホール部のみをピンホールを介して陽極酸化する方法も考えられている(特公昭60-54478号公報)。しかしこの方法は、その後 SiO_2 膜に孔が開いた場合に多層配線間の短絡を生じるため、短絡防止策として不十分である。

(発明の目的)

本発明は上記した点に鑑みなされたもので、配線抵抗を大きくすることなく多層配線間の短絡を確実に防止し、もって優れた画像表示を可能とする表示装置用駆動回路基板を提供することを目的とする。

(発明の概要)

本発明は、絶縁性基板上に所定の金属膜によりアドレス線およびゲート電極を形成し、この上に絶縁膜を介してアドレス線と交差するデータ線を形成し、アドレス線とデータ線の各交差位置には薄膜トランジスタを配置する表示装置用駆動回路基板において、前記アドレス線のデータ線と交差する位置およびゲート電極表面にのみ選択的に陽極酸化膜を形成し、これらの部分のみを2層の絶縁膜構造とする。

(発明の効果)

本発明によれば、層間絶縁膜を陽極酸化膜を含む2層絶縁膜構造とすることにより、多層配線間の短絡を確実に防止することができる。しかも陽極酸化膜を設けるのはアドレス線の一部およびゲート電極部分のみであるため、アドレス線の高抵抗化を招くことはない。従って本発明によれば、信頼性が高く、かつ優れた表示画像が得られる表示装置用駆動回路基板が実現する。

(発明の実施例)

以下本発明の実施例を説明する。

これらの半導体薄膜を島状に残すようにパターン形成する。次にITO膜を1500Åスパッタし、これをパターン形成して画素電極8を形成する。そしてA₂膜を1μm蒸着し、パターニングしてデータ線9、これから突設した形のソース電極10および画素電極8に接続されるドレイン電極11を形成する。最後に薄膜トランジスタのチャネル領域部のn⁺型a-Si膜7をCDE法により除去する。

本実施例では、アドレス線の抵抗は陽極酸化前の値60kΩに対して66kΩであり、その増加は殆ど問題にならない。またアドレスパルスの遅延は全面陽極酸化した場合の約1/2に止まり、従って表示のばらつきが少なくなる。

第2図は別の実施例の要部構成を第1図(a)に対応させて示す。先の実施例と対応する部分には同一符号を付して詳細な説明は省略する。先の実施例では、アドレス線から突設する形でゲート電極を形成したのに対して、この実施例ではアドレス線上に薄膜トランジスタを構成している。こ

第1図(a)~(c)は一実施例の駆動回路基板であり、(a)は平面図、(b)および(c)はそれぞれ(a)のA-A'およびB-B'断面図である。具体的には44mm×60mmの画面の液晶表示装置用として構成されたものである。これを製造工程に従って説明すると、絶縁性基板として例えばコーニング7059などのガラス基板1を用い、先ずこの上にTa膜を1500Åスパッタし、これをパターン形成したアドレス線2およびこれから突設した形のゲート電極3を形成する。次にフォトリソパターンを形成し、100Vの電圧で露出しているTa膜表面を陽極酸化して、ゲート電極3上およびアドレス線2のうち後にデータ線が交差する部分(第1図(a)に斜線を施して示した領域)上に選択的に陽極酸化膜4(4₁, 4₂)を形成する。この後全面にプラズマCVDにより2500ÅのSiO₂膜5を堆積し、続いて半導体薄膜としてアンドープのアモルファスSi(a-Si)膜6とn⁺型a-Si膜7を堆積し、第1図(a)に破線で囲んだ領域に

のような構成の場合にも、アドレス線2上およびゲート電極3上に斜線を施して示したように選択的に陽極酸化膜4(4₁, 4₂)を形成することにより、先の実施例と同様の効果が得られる。

第3図(a)(b)は更に他の実施例の要部構成を示す平面図とそのC-C'断面図である。ここでも先の実施例と対応する部分には同一符号を付してあり、詳細な説明は省略する。この実施例が第1図の実施例と異なる点は、アドレス線2のうち陽極酸化されていない部分で酸化膜5にできるだけ大きい開口を開けて、アドレス線2にコンタクトする金属配線12を積層していることである。これにより、アドレス線のより一層の低抵抗化が図られる。具体的に金属配線12として1μmのAl配線を用いて、アドレス線の抵抗を約20kΩにまで低下させることができた。

第4図(a)(b)は、第3図の実施例を変形した実施例の平面図とそのD-D'断面図である。この実施例では、アドレス線2にコンタクトさせて重ねる金属配線13を、アドレス線2に沿って

連続的に配設している。従ってこの金属配線13とデータ線9の絶縁のためにデータ線9上に約1 μ mのポリイミド膜14を設けている。この実施例の場合更にアドレス線の低抵抗化が可能であり、金属配線13として1 μ mのAl膜を用いて約1k Ω のアドレス線抵抗が実現できた。

第3図および第4図の実施例のようにアドレス線に更に金属配線を積み重ねる場合、本発明の構造では陽極酸化膜が部分的に形成されていて、コンタクト孔形成のためのエッチングはSiO₂膜に対してのみ行なえばよく、エッチングの困難なTaOに対しては必要でないので、工程が容易である。

本発明は上記した実施例に限られるものではない。例えばアドレス線を構成する金属膜はTaに限らず、Ti、Alなど陽極酸化できるものであればよい。薄膜トランジスタを構成する半導体薄膜もa-Siに限らず、多結晶SiやCdSe、CdSなどを用いることができる。層間絶縁膜としても、SiO₂膜の他、Si₃N₄膜や

Al₂O₃膜等を用いることができる。

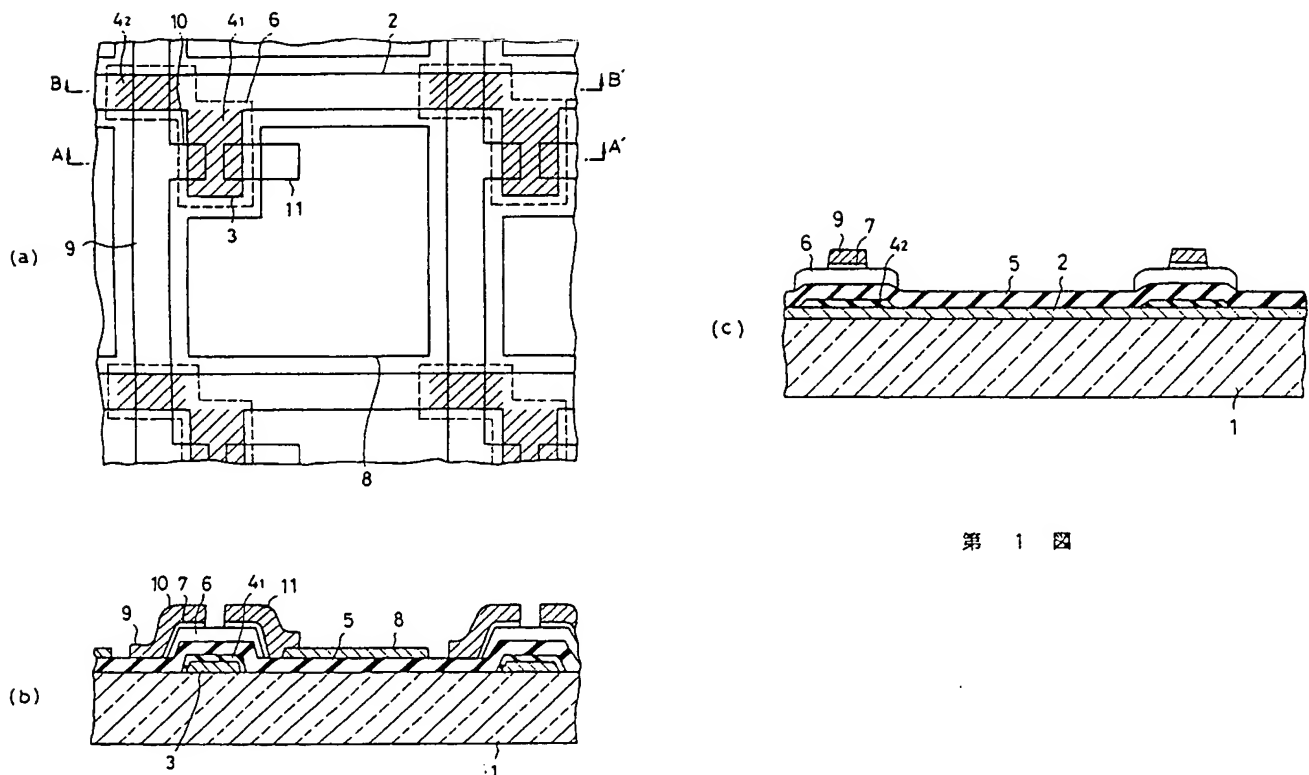
その他本発明はその趣旨を逸脱しない範囲で種々変形して実施することができる。

4. 図面の簡単な説明

第1図(a)～(c)は本発明の一実施例の駆動回路基板を示す図、第2図は他の実施例の駆動回路基板の要部構成を示す図、第3図(a)(b)および第4図(a)(b)は更に他の実施例の駆動回路基板の要部構成を示す図、第5図はアクティブ・マトリクス型液晶表示装置の等価回路を示す図である。

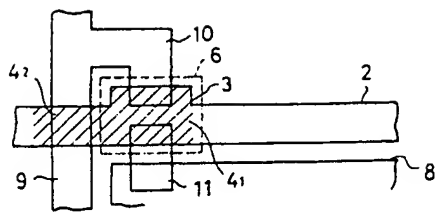
1…ガラス基板、2…アドレス線(Ta膜)、3…ゲート電極(Ta膜)、4(4₁、4₂)…陽極酸化膜、5…CVDSiO₂膜、6…a-Si膜、7…n⁺型a-Si膜、8…画素電極、9…データ線(Al膜)、10…ソース電極(Al膜)、11…ドレイン電極(Al膜)、12、13…金属配線、14…ポリイミド膜。

出願人代理人 弁理士 鈴江武彦

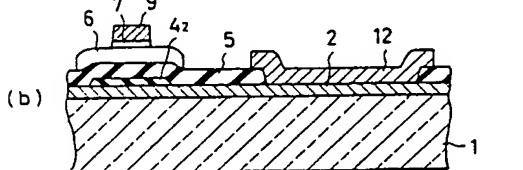
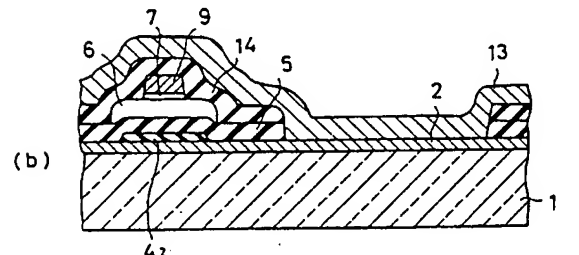
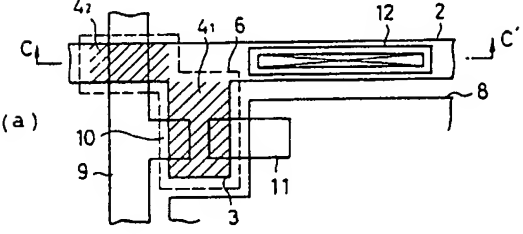
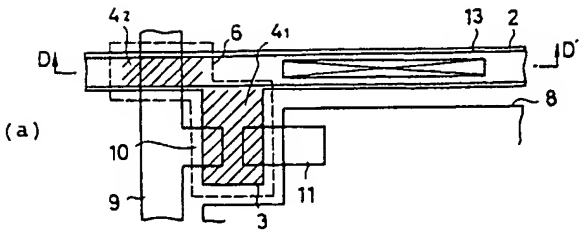


第 1 図

第 1 図

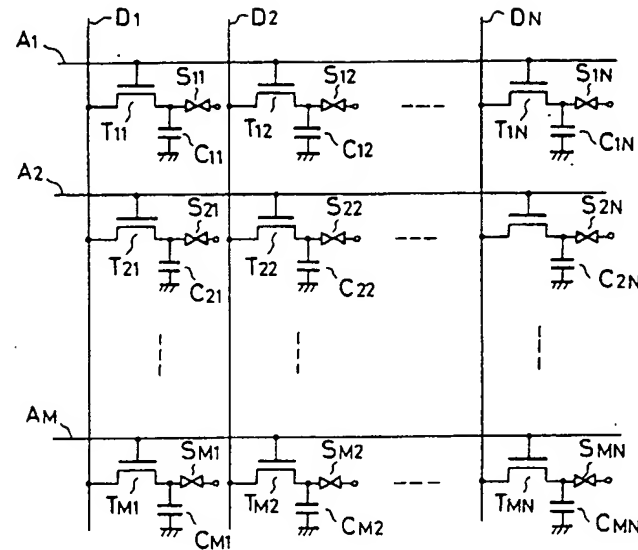


第 2 図



第 4 図

第 3 図



第 5 図